

JP 61-170994

3/9/1
DIALOG(R)File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.
01956894 **Image available**

DYNAMIC RAM

PUB. NO.: 61-170994 A]
PUBLISHED: August 01, 1986 (19860801)
INVENTOR(s): SATO KATSUYUKI
APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 60-009046 [JP 859046]
FILED: January 23, 1985 (19850123)
INTL CLASS: [4] G11C-011/34; G11C-007/00
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units); 42.2
(ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)
JOURNAL: Section: P, Section No. 529, Vol. 10, No. 382, Pg. 1,
December 20, 1986 (19861220)

ABSTRACT

PURPOSE: To obtain a dynamic RAM added with a high speed consecutive access function by switching a column switch according to an address signal formed by an address counter incorporating the advancing operation.

CONSTITUTION: Plural main amplifiers MA0-MA3 amplifying and storing a signal read on plural common data lines according to an internal address signal changed in synchronizing with a change in a column address strobe signal at read mode, a main amplifier control circuit outputting in time series an output of the main amplifiers, a built-in address counter COUNT performing address advancing on the way of time serial read of the plural main amplifiers and a column selection circuit switching a column switch by the address counter are provided. Thus, since an initial address signal and a column address strobe signal as a clock have only to be supplied externally, high speed read is attained very simply.

⑨日本国特許庁 (JP) ⑩特許出願公開
 ⑪公開特許公報 (A) 昭61-170994

⑫Int.Cl.
 G 11 C 11/34
 7/00

識別記号 101

序内整理番号 8522-5B

⑬公開 昭和61年(1986)8月1日

審査請求 未請求 発明の数 1 (全20頁)

⑭発明の名称 ダイナミック型RAM

⑮特願 昭60-9046
 ⑯出願 昭60(1985)1月23日

⑰発明者 佐藤克之 小平市上水本町1450番地 株式会社日立製作所デバイス開発センター内

⑱出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲代理人 弁理士 小川勝男 外1名

明細書

発明の名称 ダイナミック型RAM

特許請求の範囲

1. 被請求の共通データ線に読み出された信号を増幅して保持する複数のメインアンプと、カラムアドレスストローブ信号の変化に応答して上記複数のメインアンプの出力を時系列的に出力させるメインアンプ制御回路と、上記複数のメインアンプからの時系列的な読み出し動作の途中において、歩進動作を行う内蔵のアドレスカウンタによって形成されたアドレス信号に従ってカラムスイッチの切り換えを行うカラム遮断回路とを具備することを特徴とするダイナミック型RAM。

2. 上記アドレスカウンタの初期値は、外部電子からアドレス信号により設定されるものであることを特徴とする特許請求の範囲第1項記載のダイナミック型RAM。

3. 上記複数のメインアンプの出力は、共通のデータ出力回路を介して時系列的に選出されるものであることを特徴とする特許請求の範囲第1又は

第2項記載のダイナミック型RAM。

4. カラム系遮断回路は、CMOSスタティック遮断回路により構成されるものであることを特徴とする特許請求の範囲第1、第2又は第3項記載のダイナミック型RAM。

5. 上記アドレスカウンタの歩進動作とカラムスイッチの切り換え動作は、書き込みモードの時に複数の共通データ線に対する書き込み動作が終了した後の最初のカラムアドレスストローブ信号により行われるものであることを特徴とする特許請求の範囲第1、第2、第3又は第4項記載のダイナミック型RAM。

発明の詳細な説明

【技術分野】

この発明は、ダイナミック型RAM(ランダム・アクセス・メモリ)に関するもので、例えば、エブルモード動作が可能なダイナミック型RAMに利用して有効な技術に関するものである。

【背景技術】

例えば、ダイナミック型RAMにおいては、1

ビットの単位でアクセスする方式の他、ニブルモードと呼ばれるアクセス方式が提案されている（例えば、（株）日立製作所が、昭和58年9月に発行した「日立ICメモリデータブック」の頁307～頁320参照）。このニブルモードにおいて、4ビットのデータは、カラムアドレスストローク信号CASに同期して動作するシフトレジスタ又はペイナリカウンタの斜波出力により形成された選択信号によってシリアルに出力される。

上記ニブルモードでは、4ビットのデータの読み出しに次いで直ちに4ビットの読み出しを行う必要がある場合、カラム系の選択回路を一旦リセットしてイニシャルアドレスを供給する必要がある。しかしながら、この場合、4ビットづつの読み出しの間で、比較的長時間を要やすことになってしまふ。

〔発明の目的〕

この発明の目的は、高速選択アクセス機能を付加したダイナミックRAMを提供することにある。

この実用例のRAMは、ロウ系アドレス信号及びカラム系アドレス部分が多段化（マルチプレクス）されて供給されるアドレス信号AT、個別に選択回路が供給される読み出力信号GND、+5ボルトのような電圧電圧が供給される電圧信号Vcc、ロウアドレスストローク（RAS）信号、カラムアドレスストローク（CAS）信号及びデータエネーブル（WE）信号が供給される読み出力信号RAS、CAS及びWE、データ出力信号Data及びデータ入力信号Dinを持つ。

この実用例のRAMは、また、特に記載されないが、2つに分割されたメモリアレイM-ARY1とM-ARY2、メモリアレイM-ARY1とM-DCR1及びM-DCR2、メモリアレイM-ARY1とM-ARY2との間に記述されたカラムアドレスデコーダC-DCR、ロウアドレスデコーダR-DCR1及びR-DCR2に対応されたロウアドレスバッファR-ADB、カラムアドレスデコ-

特開昭61-170894(2)

この発明の前段ならびにその他の目的と所成る特徴は、この回路の記述および発明図から明らかになるであろう。

〔発明の実質〕

本図において開示される発明のうち代表的なものの概要を以下に説明すれば、下述の通りである。読み出しモードの時にカラムアドレスストローク信号CASの変化に同期して変化する内部アドレス信号によって行線の共通データ口に読み出された信号を均一かつそれを保持するねじのメインアンプと、かかるメインアンプの出力を時系列的に出力させるメインアンプ個別回路と、上記回路のメインアンプの時系列的な読み出し動作の途中において、アドレスが追加動作を行う内部のアドレスカウンタと、かかるアドレスカウンタによってカラムスイッチャの切り替えを行うカラム追跡回路とを置けるものである。

〔実施例〕

第1回では、この発明に係るダイナミックRAMのブロック図が示されている。

RAMに対応されたカラムアドレスバッファR-ADB、メインアンプMA0ないしMA3、入出力回路I/O、及び後で説明するようなねじのタイミング信号を形成するタイミング発生回路TGを持つ。

この実用例のRAMは、高速選択アクセス動作を可能とするために、又に、図示されるようなマルチプレクサMPX及びカウンタCOUNTを持つ。

この実用例のRAMを構成する各回路は、公図のCMOS（有効電界MOS）回路回路の構成技術によって、1回の半導体シリコンのような半導体基板上において形成される。

特に記載されないが、負担回路は、半導体シリコンからなる半導体基板に形成される。Nチャンネル品のゲート電界電荷トランジスタ（以下MOSFETと称する）は、かかる半導体基板裏面に形成されたソース電極、ドレイン電極及びソース電極とドレイン電極との間の半導体基板裏面に引いた電極のゲート電界電極を介して形成されたが

特商函 81-170994 (3)

シリコンからなるようなゲート電極から構成される。PチャネルMOSFETは、上記半導体基板表面に形成されたN型ウエル領域に形成される。これによって、半導体電極は、その上に形成されたPチャネルMOSFETの基板ゲートを構成する。PチャネルMOSFETの基板ゲートすなわちN型ウエル領域は、電極端子 V_{cc} に結合される。特に制限されないが、図示しない内蔵の基板バッカバイアス電圧発生回路は、電極回路の外部端子を構成する電極端子 V_{cc} と基板電極端子もしくはアース端子との間に接続される $+5\text{ V}$ のような正圧電圧に応答して、上記半導体基板に供給すべき負のバッカバイアス電圧を発生する。これによって、NチャネルMOSFETの基板ゲートにバッカバイアス電圧が加えられる。その結果として、NチャネルMOSFETのソース、ドレインと半導体基板との駆動電位 V （駆動電圧）が減少させられるため、動作の基盤

、テ図面 C-SW1 が組合されている。メモリアレイ M-AKY1 及びそれに組合された上記各回路の詳細は、後で第 2 図にもとづいて序説に説明される。

センスアンプSA1及びプリチャージ回路PC1の機能は、且く知られたダイナミックメモリのそれと完全的に同じである。

すなわち、プリティアージ回路 PC 1 は、メモリセルから読み出される微小レベルのデータ信号の勾配が可能となるようにするために、メモリのアクセスの開始において、メモリアレイ M-A R Y 1 の各相接データ線の位相をプリティアージレベルにさせる。

センスアンプSA1は、データの読み込み/読み出し四作の際には、タイミング信号により回路的に動作状態とされる。ワード線の選択動作によって一方のデータ線に結合されたメモリセルから読み出された微小電圧出し電圧は、その電圧とダミーワード線の選択動作によって他のデータに結合されたダミーセルによって設定された四

化が図られる。

メモリアレイM-ALRY1は、常に初期された
いが、2次点方式もしくは折り返しビット口
(データ口)方式をもって構成され、図面の右方
に向かって平行に並んでいた初段の相対データ口
もしくは相対ビット口と、図面の口方向に沿は
れた初段のワード口W0、W1、W2及びダミー
ワード口を含むロウ及びアドレス選択口と、それ
ぞれのデータ入出力端子がそれぞれに対応されたブ
ータ口に組合されかつそれぞれの端子がそれ
に対応されたワード口に組合された初段のメモリ
セルと、初段のダミーセルとから構成される。メ
モリセルのそれぞれは、並びに2箇によって構成
に組合するように、1 MOSトランジスタ/セル
構成のダイナミック RAMメモリセル、すなわち、選
択スイッチもしくは伝送ゲート端子としてのMOS
FETと、それに並列接続された初期電荷保持
としてのMOSキャパシタから構成される。

メモリアレイM-ARY1に注。センスアンプ
SA1、ブリッヂ回路PC1及びカラムスイ

中で圧縮装置するセンスアンプによって圧縮される。これによって圧縮データ圏がハイレベル/ローレベル比圧縮される。特に圧縮されないが、このセンスアンプを構成する半導体の回路は、第2回から明らかとなるようIC CMOSラッチ回路により構成される。

この突起部に従うと、常に凹陥されないが、メモリアレイM-ARY1に対して同時に2ビットのデータをアダセスすることができるようにするために、メモリアレイM-ARY1に対して2口の共通組合データ口、すなわち CD0、CD1、CD2及びCD3が設けられている。カタマスク・チップC-SW1は、並で部2個によって選択するよう、それが印作されたと名に、メモリアレイM-ARY1の2個の組合データ口を同時に2個の共通組合データ口 CD0ないし CD1に組合させる構成にされている。

メモリアレイ M-A R Y 2 は、メモリアレイ M-A R Y 1 と同様な構成にされ、それに結合されるセンスアンプ S A 2、プリチャージ回路 P C

2及びカラムスイッチ回路C-SW2は、メモリアレイM-ARY1に結合されるそれぞれと同様な構成にされる。

この実現内のようなアドレスマルチプレクス方式のRAMにおいて、アドレス入力端子ATKは、ロウアドレスストローブ信号RASに同期してロウアドレス信号(以下アドレス信号AXの上に記す)が供給され、カラムアドレス信号CASに同期してカラムアドレス信号(以下アドレス信号AYのように記す)が供給される。

ロウアドレスパッファR-ADBは、その動作が、メモリのアクセスの開始時に発生されるタイミング信号der、すなわちロウアドレスストローブ信号RASの立下りに同期してタイミング発生信号TGから発生されるタイミング信号derによって制御される。これによってロウアドレスパッファR-ADBは、外部信号ATに供給されるロットのアドレス信号AXを、ロウアドレスストローブ信号RASに同期して取り込み、それに応じて内部相対アドレス信号ax0～axnを形成する。

びR-DCH2は、その動作がワード選択タイミング信号derによって制御され、ロウアドレスパッファR-ADBから供給される内部相対アドレス信号ax0ないしaxn-1をデコードする。これによって、メモリアレイM-ARY1及びM-ARY2の直後のワード選択及びダミーワード選のうちの内部相対アドレス信号ax0ないしaxn-1に對応された1本ずつのワード口及びダミーワード口は、ワード選択タイミング信号derに同期されて同時に選択レベルにされる。

カラムアドレスパッファC-ADBは、その動作がタイミング発生回路TGのタイミング信号derによって制御され、カラムアドレスストローブ信号CASに同期してアドレス入力端子に供給されたアドレス信号AYを受け、内部相対アドレス信号ay0～aynを形成する。タイミング信号derは、メモリのアクセスが開始されたときのカラムアドレスストローブ信号CASの直前の立下りに同期して発生される。内部相対アドレス信号ay0ないしaynのうちの1ビット、すなわち、こ

特開昭61-170994(4)

上記相対アドレス信号ax0～axnのうち、特定のビット、例えば最上位ビットaxnを除いた相対アドレス信号ax0～axn-1は、ロウアドレスデコーダR-DCH1、R-DCH2に選出される。1ビットの内口相対アドレス信号aynは、ニブル口作動信号とみなされる。設置のカウンタCOUNT、タイミング発生回路TC及びマルチプレクサMPXに供給される。なお、例えば非反転アドレス信号ay0と、これと逆転の反転アドレス信号ay0とを上記アドレス信号aynのように扱わず、代で区別する他の信号も同様な実現法を使って以下の説明及び図において示されている。

ロウアドレスデコーダR-DCH1は、メモリアレイM-ARY1のワード口WがないしW2及びダミーワード口にそれぞれ一対一対応をもつて結合された直後の出力端子を持っている。ロウアドレスデコーダR-DCH2は、同様に、メモリアレイM-ARY2のワード口及びダミーワード口に結合された直後の出力端子を持っている。これらのロウアドレスデコーダR-DCH1及

の実現例における上位ビットの信号aynは、ニブル口作動信号とみなされる。内口相対アドレス信号ay0ないしayn-1は、マルチプレクサMPXの一方の入力に供給される。特に回路されないがアドレス信号aynもまたマルチプレクサMPXの一方の入力端子に供給される。この相対アドレス信号ay0～ayn-1及びaynは、またアドレスカウンタCOUNTに初期値として供給される。

アドレスカウンタCOUNTは、2回のアドレスカウンタCNT1及びCNT2から成る。

アドレスカウンタCNT1は、メモリのニブル動作及び高収束選択アセスにおいて、4ビット毎のデータの伝送を計算するためだけられている。すなわち、4ビットのデータのうちの伝送されるべきデータは、アドレスカウンタCNT1のカウント段によって決定される。このカウンタCNT1は、特に回路されないが、4ビットカウンタを対応するように、既設設された2ビットのペイナリカウンタから構成される。

特許昭61-170994(5)

アドレスカウンタCNT1を組成する2ビットのバイナリカウンタは、メモリのアクセスが開始されたときのロクアドレスパッファB-A DB及びカラムアドレスパッファC-A DBから出力される内部相対アドレス信号~~exa~~及び~~ayn~~Kによってそれぞれの初期値が設定される。この初期値は、アドレスカウンタCOUNTの初期値~~cc0~~は、アドレスカウンタCNT1の初期値として用いられる。

アドレスカウンタCNT1は、タイミング発生回路TGから出力される内部タイミング信号C1によって歩進される。内部タイミング信号C1は、外部電子~~RA~~Sにロクアドレスストローブ信号(以下~~RA~~Sのように記す)がロクレベルにされているときににおいて、カラムアドレスストローブ信号~~CAS~~がロクレベルにされると、それに応答して発生される。従って、アドレスカウンタCNT1は、突発的にカラムアドレスストローブ信号~~CAS~~によって歩進されると理解されてよい。

歩進される。しかしながら、アドレスカウンタCNT2の歩進回路は、データの追跡アクセスのより高追化を図るために、部分初期化される。

すなわち、アドレスカウンタCNT2は、他の回路から明らかとなるように、データの書き込み動作において、4ビット毎のデータ伝送の開始とともに、歩進される。言い換えると、アドレスカウンタCNT2は、読み出し動作において、4ビット毎のデータの追跡的な読み出しが終了された後に歩進される。これによって、メインアシブMA0ないしMA3に与えられた4ビットデータの読み出しが終了される前に、新しいカラムアドレス信号が、アドレスカウンタCNT2内に記憶される。

アドレスカウンタCNT2の歩進タイミングは、書き込み動作において、読み出し動作時の歩進タイミングに対し、逆変される。すなわち、アドレスカウンタCNT2は、データの書き込みにおいて、4ビット毎のデータの追跡的な書き込みが終了された後に歩進される。データの書き込み動作

アドレスカウンタCNT1から出力される2ビットの信号~~exa~~及び~~ayn~~Kは、メインアシブMA0~MA3の追跡信号とみなされる。

アドレスカウンタCNT2は、データの高追跡アクセスを可能とするために設けられている。アドレスカウンタCNT2は、カラムアドレスデータC-DCHで必要とされるビット数と等しいビット数~~RA~~-1のアドレス信号~~cy0~cy4-1~~を出力するよう構成される。このアドレスカウンタCNT2は、特に記載されないが、周波数がされたロー1ビットのバイナリカウンタから得られる。アドレスカウンタCNT2は、メモリのアクセスが開始されたときに、カラムアドレスパッファC-A DBから出力されている内部相対信号~~ay0~~ないし~~ay4-1~~によってその初期値が設定されるよう構成される。

アドレスカウンタCNT2は、基本的に、アドレスカウンタCNT1の4カウント毎、高い換えると、アドレスカウンタCNT1によって4ビットのデータの追跡的な伝送が実行される毎に、

において、アドレスカウンタCNT2の歩進タイミングがこのように設定された場合であっても、高追跡的アクセスが可能となる理由は、既で開示される。

アドレスカウンタCNT2で必要とされる歩進ペルスは、タイミング発生回路TGから出力される。タイミング発生回路TGは、かかる歩進ペルスを形成するために、その内蔵に、自分で第4回に亘りついて開口に開口するような2ビットのバイナリカウンタCNT3を持つ。バイナリカウンタCNT3は、バイナリカウンタCNT1と同期して歩進される。

なお、アドレスカウンタCNT2で必要とされる歩進ペルスは、カウンタCNT3が設けられていても、例えは次のようないかんアドレスカウンタCNT1を用意する程度によって、それを発生させることができる。

すなわち、例えば、アドレスカウンタCNT1とともに、内部相対アドレス信号~~exa~~及び~~ayn~~Kが初期値としてセットされるレジスタと、アドレス

特開昭61-170994 (6)

カウンタ CNT1 の出力とかかるレジスタの出力をとを受けるロジック回路とが設けられる。かかるロジック回路は、アドレスカウンタ CNT1 の出力と上記レジスタの出力を比較する回路及びアドレスカウンタ CNT1 の出力とレジスタの内容から 1だけ読み出された値とを比較する回路とされる。レジスタにセットされたデータに対し 1だけ読み出された後のデータは、レジスタから出力される 2 ビットの比較的単純な論理回路によって得ることができる。これによって、上記ロジック回路は、アドレスカウンタ CNT1 のカウント動作時に、歩道ペルスを形成する。但し、このようにする場合は、回路段子数の増加に悩むする多寡がある。

上記アドレスカウンタ CNT2 によって形成された相応アドレス信号 cy0 ～ cyn-1 は、マルチプレクサ MPX の他方の入力に供給される。特に映されないが、アドレスカウンタ CNT1 によって形成された相応アドレス信号 cya 及び cxa もまたマルチプレクサ MPX の他方の入力に供給される。

レジスタ my0 ～ myb のうち、特定のビット、例えば上位ビット my0 を除いた相応アドレス信号 my0 ～ mya-1 は、カラムアドレスデコーダ C-DCE 及び DCR に供給される。相応アドレス信号 mya 及び myb は、メインアンプ MA0 ないし MA3 の動作を制御するためのデコーダ DEC に供給される。

この実現例を従うと、マルチプレクサ MPX は、メモリのアクセスが開始されてからアドレスカウンタ CNT1 及び CNT2 の出力が初期段にセットされるまでの遅延時間を考慮することによって設けられている。すなわち、メモリのアクセスが開始されたときにおいて、アドレスパッファ R-A DB 及び C-A DB から出力される内部相応アドレス信号は、アドレスカウンタ CNT1 及び CNT2 を介すことなく、カラムアドレスデコーダ C-DCE 及びデコーダ DEC に供給される。その結果、メモリの最初の動作の高速化が可能となる。

しかしながら、この実現例のメモリは、アドレスカウンタ CNT1 及び CNT2 の出力が直後に

マルチプレクサ MPX は、その動作が、タイミング発生回路 TG から出力されるタイミング信号 tmpx によって制御される。タイミング信号 tmpx は、メモリのアクセスの開始前及びメモリのアクセスが開始されたとき、言い換えると、ロクアドレスストローブ信号 RAS がハイレベルに応答されているとき及びかかる信号 RAS がロクレベルにされたとき、アドレスパッファ R-A DB 及び C-A DB の出力 ay0 ないし ayn 及び ax0 を出力させるレベルにされる。タイミング信号 tmpx は、またロクアドレスストローブ信号 RAS とカラムアドレスストローブ信号 CAS との組み合せによってニブル動作モードが指示されたとき、アドレスカウンタ CNT1 及び CNT2 の出力を沿続されたレベルにされる。これによって、マルチプレクサ MPX は、相応アドレス信号 ay0 ないし ayn 及び ax0 と cy0 ないし cyn 及び cxa のうちの一方に対応された相応アドレス信号 my0 ないし mya 及び myb をその出力段子に出力する。マルチプレクサ MPX を介して沿続的に出力される相応アド

カラムアドレスデコーダ C-DCE 及びデコーダ DEC に供給されても動作する。このように観察された場合でも、最初の動作を除く後の沿続的なアクセス対応は、実質的に制限されない。それ故に、マルチプレクサ MPX は、メモリのより高速化を可能とする上で意味があるが、本発明にとつて本質的に必要とされるものではない、と思がされた。

カラムアドレスデコーダ C-DCE は、その動作がタイミング発生回路 TG から発生されるデータ回路タイミング信号もしくはカラム追跡タイミング信号 ctg によって制御され、マルチプレクサ MPX から供給される内部相応アドレス信号 my0 ないし mya-1 をデコードする。これによって、カラムアドレスデコーダ C-DCE は、タイミング信号 ctg に同期してカラム追跡信号を出力する。

カラム追跡タイミング信号 ctg は、読み出し動作がメモリに指示されているなら、すなわちライトエキサイブル信号 WB がハイレベルに応答されているなら、ctg は図 10 に示されているようにカラム

特開昭61-170994 (7)

アドレスストローブ信号 CAS が最初にロウレベルにされたときからかかるカランアドレスストローブ信号 CAS がハイレベルにされるまでの期間、及びアドレスカウンタ CNT2 が歩進されてからカランアドレスストローブ信号 CAS によって決められるまでの期間ハイレベルにされる。

カランスイッチ C-SW1、C-SW2 は、上記カランアドレスアロー C-DOR によって形成された追跡信号を受け、メモリアレイ M-ARY1 及びメモリアレイ M-ARY2 における上記 Y1 及び Y2 における上記 2 組の相初データ口を対応する 2 組の共通相初データ CD0、CD1 及び CD2、CD3 にそれぞれ組合させる。

デコード DEC は、マルチプレクサ MPX から供給される 2 ビットのアドレス信号 xa 及び ya をデコードすることによって、4 つのメインアンプ MA0 ないし MA3 を選択的に動作させるための強制信号を出力する。デコード DEC の具体的な回路は、メインアンプ MA0 及び入出力回路 I/O とともに、後で第 3 図にもとづいて詳細に説明される。

オーバル信号 WE のロウレベルによって書き込み動作が指示されているなら、データ入力回路が所定のタイミングで動作状態にされる。これによって、外部端子 D0 に接続されている入力データは、データ入力回路及びメインアンプ内の選択するような信号追跡回路（図 1 図では省略されている）を介して共通相初データ口 CD0～CD3 の 1 つに選択される。

タイミング発生回路 TG1、3 つの外部回路口 RA3（ロウアドレスストローブ信号）、CAS（カランアドレスストローブ信号）及び WE（ライトイネーブル信号）を受けて、メモリ回路に必要な上記各タイミング信号を形成する。また、タイミング発生回路 TG1 は、前述のように 2 ビットのバイナリーカウンタ回路 CNT3 を含んでいて、このカウンタ回路の時報出力は、追跡読み出し動作におけるカランアドレスタイミング信号 ta、メインアンプ動作タイミング信号 ta2、及び上記アドレスカウンタ回路 CNT2 に供給される伊達ペルスを形成するために利用される。

される。

上記共通相初データ口 CD0～CD3 は、それ自身メインアンプ MA0～MA3 の入力端子に接続されている。これらのメインアンプ MA0～MA3 は、後で第 3 図にもとづいて詳説に説明するように、ラッチ回路を含んでいる。これらのメインアンプ MA0～MA3 のラッチ出力は、データ読み出しモードにおいてデコード DEC により形成された追跡信号と、カランアドレスストローブ信号 CAS と共に組合されて時系列的に出入力回路 I/O に含まれる共通のデータ出力回路に接続される。

入出力回路 I/O は、読み出しのためのデータ出力回路と、読み込みのためのデータ入力回路とにより構成される。ライトイネーブル信号 WE のハイレベルによって読み出し動作が指示されているなら、データ出力回路は、所定のタイミングで動作状態にされる。これによって、上記メインアンプ MA0～MA3 の出力は、出力回路によって増幅され、外部端子 Dout へ送出される。ライトイネーブル

第 2 図には、メモリアレイ M-ARY1、センスアンプ SA1、プリチャージ回路 PC1 及びカランスイッチ回路 C-SW1 の具体的な回路が示されている。

メモリアレイ M-ARY1 は、初級対のデータ口 D0、D0 ないし D1、D1、初級のワード線 W0 ないし W3 及び初級のメモリセル M00 ないし M13 を持つ。メモリセル M00 のように、各メモリセルは、スイッチ MOSFETQ0 とそれに対応する MOSFETQ1 から構成されている。

各データ対と、それに対応されるダミーワード線 DW0 及び DW1 との間には、ダミーセル DS1 ないし DS6 が接続されている。ダミーセルのそれぞれは、常に開放されないが、MOSFET から構成される。

センスアンプ SA1 は、図示のように、各データ対に一対一対応をもつて接続された単位回路 USA0 ないし USA6 と、パワースイッチ MOSFETQ104 及び Q105 から成る。各単位

特圖圖 61-170994 (8)

回路は、図示のように、PチャネルMOSFET Q102, Q103, & NチャネルMOSFET Q100, Q101から成る入出力共通のCMOS ラッチ回路から成る。

プリチャージ回路 PC1 は、積載の単位回路
 UPC0ないしUPC1から成り、各単位回路は、
 対のデータ口間に接続されたイコライズMOSF
 ET Q105、及び各データ口と電位相反子Vccとの
 MIM接続されたプリチャージ用MOSFET
 Q107及びQ100から成る。

カラムスイッチ回路C-SW1は、それぞれカラム選択信号Y0, Y1によってスイッチ回路が開閉されるスイッチMOSFET Q109ないしQ114から成る。

かかる回路の動作は、次のようになる。
まず、メモリがアクセスされていないとき、すなわちロウアドレスストローブ信号 RA_3 がハイレベルにされているとき、センサアンプ SA_1 の動作制御のためのタイミング信号 RD が並び RD_1, RD_2, RD_3 、それぞれロウレベル、ハイレベルにされ、プリザ

され、図1のロウアドレスデコーダX-DCR1
が動作状態にされる。これに応答してワード母
W0ないしW3のうちの1つが選択レベルにされ
る。ワード母が選択されることによってメモリセ
ルのデータが、これに対応されたデータ凹に与え
られる。例えばワード母W0が選択されたなら、
メモリセルM00、M10及びM01のデータが、
データ凹D0、D1及びD2に与えられる。ダミ
ーワード母DW0及びDW1は、ワード母の選択
タイミングと同期してその一方が選択レベルとな
るかロクロレベルにされる。例えば上記のよう
にワード母W0が選択されるなら、それに対応してダ
ミーワード母DW0が選択レベルにされる。その
結果、それぞれ対応されたデータ凹、すなわち相
補データ凹の一方に、ダミーセルによって移動位
が与えられる。特に倒膜されないが、歩留り位
が、メモリセルによってデータ凹に与えられるレ
ベル選択の中间の凹を取るようにするために、及
び最初回路段線上のばらつきによって生ずるメモ
リセルのキャパシタCmとダミーセルのキャパシ

ターゲット回路の回路設計のためのタイミング信号
 ϕ_{PC} はハイレベルにされている。これにより、セ
 ンスアンプSA1は、それにおけるパワースイッ
 チMOSFET Q104及びQ105がオフ状態にさ
 れているので空回路状態に置かれる。各データ
 は、プリティターゲット回路PC1がタイミング信号
 ϕ_{PC} によって動作状態にされているので、段階的
 に電圧Vccに近いようなプリティターゲットレベルに
 置かれる。メモリがアクセスされていないときは、
 またワード出口W0ないしW3は、非選択レベルす
 なむちロクレベルにされている。ダミーワード選
 択DWO及びDW1は、いずれもハイレベルの非選
 択レベルにされる。

メモリのアクセスが開始されたなら、日い段え
るとロクアドレスストローク信号_{RS}がロクレ
ベルにされたなら、それに同期して先ずタイミング
信号_{OPA}がロクレベルにされ、アリチャージ回
路_{PC1}が非動作状態にされる。アリチャージ回
路_{PC1}が非動作状態にされた段に、ワード選択
タイミング信号_{OPX}（高1位）がハイレベルに

タとの相対的ばらつきをできるだけ小さくさせるために、ダミーセルのキャパシタは、メモリセルのそれと同じ電位に同じタイミングで充電され、ダミーワードに与えられるレベル基準は、最終ワード間に与えられるそれに對して半分にされる。

タイミング信号印及び印は、ワード印及び
タイミング印が選択された段、日い印えると、
タイミング印がハイレベルにされた段に、
それぞれハイレベル、ロウレベルにされる。これ
によって、センスアンプSA1は印作開始され、
モリセルから各データ間に与えられたデータ印
号は印される。

カラム追跡番号￥0ないし￥1は、予めロウレベルの初期化レベルにされている。ロウアドレスストローブ番号BASがロクレペルにされた後にカラムアドレスストローブ番号CA3がロクレペルにされると、それから適当な初期回路の後に、タイミング番号04がハイレベルにされ、カラムアドレスデコーダC-DBC(図1図)の動作が開始される。その結果、カラム追跡番号￥0ないし

しY₁のうちの1つがハイレベルの追跡レベルにされ、カラムスイッチMOSFETがオン状態にされる。すなわち、右側の相位データ口のうちの2組の右側データ口がカラムスイッチ回路C-D₁SW₁を介して共通接続データ口C-D₀ないしC-D₁に結合されるようになる。

図3回だけ、データの入力及び出力系の一例を示す回路図が示されている。

代表として示された共通相位データ口C-D₀。C-D₀は、メインアンプMA₀の入力端子に結合される。メインアンプMA₀は、右側回路AMP₀である。カラムスイッチ回路F₀及び出力追跡回路S₁とから結合される。

右側回路AMP₀は、特に制限されないが、大きい制約を持つように、2組の既成回路された右側回路1₀及び2₀から構成される。これによって、右側回路AMP₀は、共通相位データ口C-D₀とC-D₁との間に与えられるデータ信号が充分に大きいレベルに変化されていないタイミングにおいても、充分なレベルの信号を出力するようになる。

チャンネル選択右側MOSFET Q₁ 1, Q₁ 2とPチャンネル負荷MOSFET Q₉, Q₁₀は、エリ制限され、上記選択右側MOSFET Q₁ 1, Q₁ 2の共通ソースは、上記一方の選択右側MOSFET Q₇, Q₈の共通ソースと共通化され、上記パワースイッチMOSFET Q₁ 3によりその動作の制御が行われる。このMOSFET Q₁ 3のゲートには、メインアンプの動作タイミング信号G₀が供給される。

上記一方の選択右側回路における反位入力端子としてのNチャンネルMOSFET Q₇のゲートと、右側の選択右側回路における非反位入力端子としてのNチャンネルMOSFET Q₁ 1のゲートは、上記共通相位データ口C-D₀に結合されている。また、上記一方の選択右側回路における反位入力端子としてのNチャンネルMOSFET Q₈のゲートと、右側の選択右側回路における反位入力端子としてのNチャンネルMOSFET Q₁ 2のゲートは、上記共通相位データ口C-D₀に結合されている。

特開昭61-170994 (9)

これに応じて、メモリは、高遅出作が可能となる。右側回路1₀及び2₀のそれぞれは、ノイズに対する耐性を低下させるため、金属氧化物回路構成、すなわち一対の右側入力端子とともに一対の右側出力端子を持つ構成にされている。これらの回路のそれぞれは、またそれぞれの端子を右側出力端子から構成される。

すなわち、右側回路1₀において、それを構成する一対の右側出力端子のうちの一方は、図示されているように、Nチャンネル共通右側MOSFET Q₇, Q₈と、そのドレインと右側電圧V_{cc}との間に設けられたPチャンネル負荷MOSFET Q₅, Q₆及び上記右側MOSFET Q₇, Q₈の共通ソースと回路の右側回路との間に設けられたNチャンネル型のパワースイッチMOSFET Q₁ 3により構成される。上記負荷MOSFET Q₅, Q₆は、右側ミラー形回路によることによって、アクティブ負荷回路を構成する。上記右側回路の他方は、上記類似のN

右側回路1₀の一対の出力端子は、特に制限されないが、回路において点端で囲まれた回路のように、上記類似の回路によって構成された右側2組選択右側回路2₀の一対の入力端子に供給される。この右側2組選択右側回路における各回路端子は、上記右側回路のそれと同様であるので、回路端子とその回路を結合する。

上記2組選択右側回路2₀の一対の出力端子は、ラッテ回路PFに供給される。特に制限されないが、ラッテ回路PFは、2つの NAND (NAND) ゲート回路G₅, G₆から構成される。 NANDゲート回路G₅及びG₆の一方の入力と出力とは交差結合されている。上記NANDゲート回路G₅, G₆の他方の入力には、上記2組選択右側回路2₀の出力端子が供給される。上記NANDゲート回路G₅, G₆のそれぞれの右方の入力と電圧V_{cc}との間に、上記メインアンプの動作タイミング信号G₀を受けるPチャンネルMOSFET Q₁ 4, Q₁ 5がそれぞれ設けられている。ラッテ回路PFは、動作タイミング信号G₀のハイ

卷號 81-170994 (10)

レベルKによって初期回路AMPが動作状態Kされ、かつ上記PチャンネルMOSFET Q14, Q15がオフ状態にされているなら、そのときの差動初期回路2ndの増幅出力信号の取り込みを行う。初期回路FFは、また動作タイミング信号pulseのノーチ回路FFは、また動作タイミング信号pulseのローレベルによって上記初期回路AMPが非動作状態にされ、かつ上記PチャンネルMOSFET Q14, Q15がオン状態にされているなら、それをKにおける NAND ドアーテ回路 G5, G6 の側方の入力が電位印加 V_{cc} のようなハイレベル(切替 = 1)に近づくので、上記取り込んだ情報が保持する。

動作タイミング回路は、第1図に示されたタイミング発生回路TGから出力される。タイミング回路TGの具体的構成は、後で第5図に述べて説明される。

上記ラッチ回路 FF の一対の出力信号は、出力追跡回路 SLC を通して共通のデータ出力回路 D0B の入力に伝えられる。出力追跡回路 SLC は 2 つの出力追跡回路 SLC1 と SLC2 からな

MOSFET Q21, NチャネルMOSFET Q22及びそれらのMOSFETに並列電圧を供給するPチャネルMOSFET Q20, NチャネルMOSFET Q23により制御されている。出力並列回路SLC2の出力は、上記MOSFET Q20とQ23がオフ状態にされると、ハイインピーダンス状態にされる。

メインアンプ MA 0 における出力追従回路
 SLC 1 及び SLC 2 の出力端子は、第 1 回のメ
 インアンプ MA 1 ないし MA 3 における出力追従
 回路のそれとともに、出力回路 D 0 B の一对の入
 力端子 CD 5 及び CD 5 にそれぞれ共通接続されて
 いる。入力端子 CD 5 及び CD 5 は、メインアンプ
 MA 0 ないし MA 3 の共通の出力ラインを対応し
 ているとみなされても良い。

以上構成のメインアンプMA-01は、その動作が
タイミング信号 tma 及びデコードDBCの出力電
圧によって切替される。

る。上図ラッテ回路 F 7 を構成する NANDゲート回路 G 5 の出力信号を受ける一方の出力選択回路 SLC 1 は、P チャンネル MOSFET Q 17 と N チャンネル MOSFET Q 18 により構成された CMOS インバータ回路と、この CMOS インバータ回路に電圧圧 Vcc 及び回路の接地電位を供給するための P チャンネル MOSFET Q 16 と N チャンネル MOSFET Q 19 とから構成されている。MOSFET Q 16 と Q 19 は、互いに逆の信号によって駆動され、そのスイッチ状態が互いに同じにされる。出力選択回路 SLC 1 は、それにおける MOSFET Q 16 及び Q 19 がオン状態にされたなら、それに応じて動作状態にされる。逆に、出力選択回路 SLC 1 は、それにおける MOSFET Q 16 と Q 19 がオフ状態にされたなら非動作状態にされその出力がハイシビーグンス状態にされる。上図ラッテ回路 F 7 を構成する NANDゲート回路 G 6 の出力信号を受ける一方の出力選択回路 SLC 2 は、上回記述した CMOS インバータ回路を構成する P チャンネル

すなわち、メインアンプMA-0における右図回路AMP部及びラッパ回路P-Fは、前述のように、動作タイミング信号 Φ_{10} によってそれぞれの動作が制御される。

出力抵抗回路SLCは、デコーダDECの出力信号によってその動作が切替される。デコーダDECは、各メインアンプに一対一対応される単位回路を持つ。デコーダDECにおける各単位回路は、マルチプレクタMPXから供給される2ビットの相応アドレス信号 m1111 及び m110 の互いに異なる組み合せをデコードするよう構成される。

デコードDECの、メインアンプMA0に対応される単位回路は、図5図に示されているように、それぞれ各レベルのアドレス信号 mem 及び mn が供給される NANDゲート回路 G2 及び G4 から構成される。 NANDゲート回路 G2 は、紙で説明する入力回路回路 8LC3 に対応され、 NANDゲート回路 G4 は出力回路回路 8LC4 に対応される。 なお、デコードDECのメインアンプMA0に対応される単位回路は、 NANDゲート回路 G2, G4、

特開昭61-170994 (11)

ノアゲート回路G1及びG2から構成されているとみなされて良い。この場合、 NANDゲート回路G12は、 デコードD B C Kにおける共通回路を構成しているとみなされる。すなわち、 NANDゲート回路G12の出力は、 メインアンプMA0ないしMA3のそれぞれに対応されるノアゲート回路G1のそれぞれに供給される。

NANDゲート回路G4の出力は、 アドレス信号 \overline{mym} と \overline{myb} が共にハイレベルにされているなら、 それに応じてロウレベルの沿沢レベルにされる。この出力信号は、 出力沿沢回路SLの動作タイミング信号を形成するノアゲート回路G7の一方の入力に供給される。このノアゲート回路G7の他方の入力には、 カラムアドレスストローブ信号 $\overline{C1}$ と $\overline{C0}$ と \overline{AS} に同期して形成される内部回路信号C1と、 センスアンプの動作タイミング信号 $\overline{B2}$ と $\overline{B1}$ と $\overline{BG2}$ 並びに形成されるロウ系のタイミング信号 $\overline{BG2}$ と $\overline{BG1}$ とを受けるNANDゲート回路G12の出力 \overline{DS} が受けられる。このノアゲート回路G1の出力は、 供給される。このノアゲート回路G1の出力は、 一方においてCMOSインバータ回路IV3によって

レベルに応答して、 相補アドレス信号 \overline{mym} 及び \overline{myb} と $\overline{C1}$ と $\overline{C0}$ と \overline{AS} にかかるらずに、 高出力インピーダンス状態にされる。MOSFETQ24及びQ25は、 信号 \overline{DS} に対し反応されたレベルの信号DSKによって、 ライン $\overline{CD5}$ 及び $\overline{CD6}$ は、 その両方がいわばリセットレベルのハイレベルにされている。

NANDゲート回路G12の出力信号 \overline{DS} は、 タイミング信号 $\overline{BG2}$ 及び $\overline{C1}$ によって決定される。高い投げると、 第1回のセンスアンプSA1及びSA2が動作されかつカラムストリップ回路C-SW1及びC-SW2が動作された後の適当なタイミングにおいてロウレベルにされる。MOSFETQ24及びQ25は、 信号 \overline{DS} のロウレベルに応答してオフ状態にされる。信号 \overline{DS} がロウレベルにされると、 ライン $\overline{CD5}$ 及び $\overline{CD6}$ に結合された複数の出力沿沢回路のうちの相補アドレス信号 \overline{mym} 及び \overline{myb} と $\overline{C1}$ と $\overline{C0}$ と \overline{AS} に対応された1つが動作状態にされる。その結果、 ライン $\overline{CD5}$ 及び $\overline{CD6}$ のレベルは、 動作状態にされた出力沿沢回路

によって反応された上で、 出力沿沢回路SLのPチャネルMOSFETQ16、 Q20のゲートに供給される。上記ノアゲート回路G1の出力は、 他方において出力沿沢回路SLCのNチャネルMOSFETQ19、 Q23のゲートに直接に供給される。上記NANDゲート回路G12の出力 \overline{DS} は、 図示しないインバータ回路によって反応され、 データ出力回路DOBの入力ライン $\overline{CD5}$ 及び $\overline{CD6}$ に受けられたPチャネルMOSFETQ24、 Q25のゲートに供給される。

入力ライン $\overline{CD5}$ 及び $\overline{CD6}$ のレベルは、 次のようになります。

すなわち、 デコードD B C Kにおける共通回路であるNANDゲート回路G12の出力 \overline{DS} は、 メモリのアクセス開始前及びロウアドレスストローブ信号 \overline{RAS} によるメモリのアクセス開始の直後において、 タイミング信号 $\overline{BG2}$ 及び $\overline{C1}$ の少なくとも一方のロウレベルによって、 ハイレベルにされている。メインアンプMA0ないしMA3のそれにおける出力沿沢回路は、 信号 \overline{DS} のハイ

端によって決定されるようになります。

第1回の入出力回路I/Oにおけるデータ出力回路DOBは、 その具体例が第3回に示されています。

データ出力回路DOBは、 特に制限されないが、 トライステート回路から構成される。

すなわち、 データ出力回路DOBは、 上記メインアンプMA0を構成するラッテ回路PFと並列のNANDゲート回路G8、 G9により構成されたラッテ回路からなる初回回路を持つ。ラッテ回路は、 メインアンプMA0ないしMA3から入力ライン $\overline{CD5}$ 及び $\overline{CD6}$ に供給されるデータ信号を取り込む。ラッテ回路は、 また、 入力ライン $\overline{CD5}$ 及び $\overline{CD6}$ がリセットレベルにされているなら、 以前のデータ信号を保持する。

このラッテ回路の出力信号は、 それぞれNANDゲート回路G10とCMOSインバータ回路IV5及びNANDゲート回路G11とCMOSインバータ回路IV6を介してファッフル回路のNチャネル出力MOSFETQ26及びNチャネル

特許図61-170984 (12)

出力MOSFET Q27のゲートに伝えられる。上記 NANDゲート回路G10, G11の他方の入力には、動作タイミング信号DOEが供給される。動作タイミング信号DOEは、ロクアドレステローブ信号CAS, カラムアドレスストローブ信号CAS及びライトエネイブル信号WEに応答され、後で説明するような出力タイミングにおいてハイレベルにされる。

今、タイミング信号DOEがハイレベル(論理“1”)なら、これに応じてNANDゲート回路G10, G11が開かれる。これに応じて、初段回路から出力されている信号は、これらゲート回路G10, G11, CMOSインバータ回路IV5, IV6及び出力MOSFET Q26, Q27を介して外部信号Doutへ送出される。上記タイミング信号DOEが回路の接続位置のようなロウレベルなら、ノアゲート回路G10, G11の出力は共にハイレベルになる。これに応じてインバータ回路IV5, IV6の出力は共にロウレベルにされ、出力MOSFET Q26とQ27は共にオフ

込み用のNチャンネル伝送ゲートMOSFET Q1及びQ2を持つ。メインアンプMA0は、主に制限されないが、共通データ端子CD0及びCD1と電圧端子Vccとの間に接続されたNチャンネル負荷MOSFET Q3, Q4を持つ。負荷MOSFET Q3及びQ4は、比較的小さなコングラタンスを持つようになされる。

上記データ入力回路DIBの出力信号を伝える伝送ゲートMOSFET Q1, Q2のゲートには、次のノアゲート回路G1とNANDゲート回路G2と共に構成されたデコーダDECの出力信号が供給される。NANDゲート回路G2の入力には上記同様なアドレス信号mxD, myDと引き込み制御信号WYPが供給される。このNANDゲート回路G2の出力は、ノアゲート回路G1の1つの入力に供給される。このノアゲート回路G1の他方の入力には、反応の内部カラムアドレスストローブ信号C1が供給される。特に制限されないが、タイミング発生回路TGから出力される引き込み制御信号WYPは、外部から供給される

状態にされる。その結果、出力はハイインピーダンス状態にされる。なお、この実施例に従うと、上記外部出力信号Doutは、被送するデータ入力信号DIBの入力信号が適合される外部入力信号Dinに対し独立にされているが、必要なら外部入力信号Dinと共に1つの共通の外部信号とされてよい。

データ出力回路DOBとともに第1図の入出力回路I/Oを構成するデータ入力回路DIBは、外部入力信号Dinに供給された書き込みデータ信号に応答してそれと同様の書き込み信号と逆相の書き込み信号、すなわち相補信号を共通書き込み端子CD6及びCD8に出力する。共通書き込み端子CD6及びCD8は、第3図に示されたメインアンプMA0だけでなく、第1図に示されたメインアンプMA1ないしMA3にも結合される。

メインアンプMA0は、第3図に示されたよう共通書き込み端子CD6と共にデータ端子CD0との間、及び共通書き込み端子CD6と共にデータ端子CD0との間にそれぞれ接続されたデータ書き

イトエネイブル信号WEに対し、逆相にされる。かつ相補アドレス信号mxDとmyDがメインアンプMA0を指示するレベルにされたなら、すなわちアドレス信号mxDとmyDが共にハイレベルにされたなら、NANDゲート回路G2の出力は、それに応じてロウレベルにされる。ノアゲート回路G1の出力は、カラムアドレスストローブ信号CASと同相で変化する内部カラムアドレステローブ信号C1がロウレベルにされるとそれに応じてハイレベルにされ、伝送ゲートMOSFET Q1, Q2は、ノアゲート回路G1のハイレベル出力に応じてオン状態にされる。その結果として、外部入力信号Dinから供給された書き込み信号が共通書き込み端子CD0, CD8に伝えられる。なお、読み出し動作においては、前記信号WYPがロウレベルにされるので、NANDゲート回路G2の出力は、アドレス信号mxD及びmyDの状態にかかわらずにハイレベルにされる。これにより、ノアゲート回路G1の出力がロウレベルにされるため、上記伝送ゲートMOSFET Q1,

譜圖四61-170994 (18)

Q2はオフ状態にされる。
 上記ノアゲート回路G1の出力は、CMOS1
 ヌバータ回路IV1により反転されてNチャネ
 ルMOSFETQ3、Q4のゲートに伝えられる。
 したがって、上記を含み動作以外の時に、これ
 らのMOSFETQ3、Q4はオン状態にされ、
 共通相手データ口CD0、 $\overline{CD}0$ に突貫的に一定
 のバイアスレベルを与える。このようなMOSF
 ETQ3、Q4のオン状態によって、読み出し回
 作等において共通相手データ口CD0、 $\overline{CD}0$ の
 信号振幅が突貫的に制限されるから、メモリセル
 からの読み出し信号に対して高遅延応答をせるこ
 とができる。

第6図には、タイミング発生回路TGK含まれる2ビットのバイナリーカウンタの一実施例の回路図が示されている。なお、特に制限されないが、並記アドレスカウンタCOUNTもこの実施例回路と類似の回路によって構成することができる。

2ビットのバイナリーカウンタを構成する初回路FF0は、開回路に点線で囲まれた次の各回路

リップフロップの入力であるCMOSインバータ回路IV13の入力に伝えられる。このスレーブリップフロップの出力であるCMOSインバータ回路IV13のCMOS信号は、CMOSインバータ回路IV14とPチャネル伝送ゲートMOSFETQ30を介してマスター・リップフロップの入力であるCMOSインバータ回路IV11の入力に伝えられる。上記マスター・リップフロップの入力であるCMOSインバータ回路IV11の入力と回路の直近位点との間には、リセット用のNチャネルMOSFETQ31が設けられている。なお、カウンタFF0を上記アドレスカウンタCOUNTとして使用する場合、伝送ゲートMOSFETQ31を介して入力アドレス信号が供給される。

が供給される。上記既述ゲートMOSFET Q30とQ32の出力信号がゲートに供給され、ナンドゲート回路G20の出力信号が供給される。このナンドゲート回路G20の1つの入力すなわち多段バルスもしくはクロック入力端子T2には、上記カラム選タイミング信号

により構成されており、リセット入力端子T1、
多段ペルス入力端子T2、カウント動作制御端子
T3、キャリー入力端子T4、キャリー出力端子
T5、及び時計駆動出力端子T6及びT7を持つて
いる。CMOSインバータ回路IV11は、その
出力端子が分岐用のCMOSインバータ回路IV
10を介してその入力に供給される。これにより
CMOSインバータ回路IV11とIV10は、
マスター-フリップフロップを構成する。特に加算
されないが、インバータ回路IV10は、MOS
FETQ30を介してインバータ回路IV11の
入力に供給される信号レベルが翻訳されないよう
にするために、比較の小さい相互コンダクタンス
を持つPチャンネルMOSFETとNチャンネル
MOSFETから構成される。上図回路のCMO
Sインバータ回路IV13とIV12によりスレ
ーブフリップフロップが構成される。上記マスター
-フリップフロップの出力であるCMOSインバ
ータ回路IV11の出力端子は、Nチャンネル伝
送ゲートMOSFETQ32を介してスレーブフ

IC 1 が供給され、1 つの入力端子すなわち動作制御端子 T 3 にはロクボータイミング信号 T 1 が供給される。 NAND ドアト回路 G 2 0 の反りの 1 つの入力端子すなわちキャリー入力端子 T 4 は、回路 F F 0 がカウント CNT 3 の初段回路であるので電源電圧 Vcc に等しいようなハイレベルに保持される。このキャリー端子 T 4 のハイレベル信号とは、 NAND ドアト回路 G 2 1 に供給される。この NAND ドアト回路 G 2 1 の出力は CMOS インバータ回路 I V 1 8 及び出力端子 T 4 を介して反転され、次段の回路 F F 1 のキャリー入力端子へ送出される。回路 F F 0 における上記マスター・フリップフロップの出力は、特に翻訳されないが、直列形回路の CMOS インバータ回路 I V 1 5 ~ I V 1 7 を介して計数出力として送出される。すなわち、 CMOS インバータ回路 I V 1 6 の出力から反転の計数出力 T 0 が、 CMOS インバータ回路 I V 1 7 の出力から非反転の計数出力 T 1 が形成される。

特開昭61-170994 (14)

の回路により構成される。ただし、それにおけるキャリー入力端子には、上記初段回路 FF0 により形成されたキャリー信号 $\overline{c_0}$ が供給される。

タイミング発生回路 TG は、この 2 ビットのバイナリーカウンタ回路の計数出力 $\overline{0}, \overline{0}, \overline{1}$ 及び $\overline{1}, \overline{1}, \overline{1}$ の組み合せにより、前述した複数するような複数ビブルモードにおけるメインアンプのタイミング信号 $\overline{a_{m1}}$ 、データ選択回路タイミング信号 $\overline{a_{dy}}$ 等を形成する。

第 5 図には、上記タイミング発生回路 TG に含まれるメインアンプの動作タイミング信号 $\overline{a_{m1}}$ とデータ選択タイミング信号 $\overline{a_{dy}}$ を形成するタイミング発生回路の回路図が示されている。

上記ロク系のタイミング信号 $\overline{a_{m1}}$ は G2 と第 4 図に示したバイナリーカウンタ CNT3 によって形成された計数出力信号 $\overline{0}, \overline{0}, \overline{1}$ とは、 NAND ドア回路 G22 の入力に供給される。この NAND ドア回路 G22 の出力は、直記書き込み信号 \overline{WY} とともにノアゲート回路 G25 に入力される。P とともにノアゲート回路 G25 の出力は、直記書き込みノアゲート回路 G24 の出力は、直記書き込み回路 G23 の出力は、 CMOS インバータ回路 IV21 によって反転され、上記ノアゲート G25 の出力とともにノアゲート回路 G24 の入力に供給される。このノアゲート回路 G24 の出力信号は、 CMOS インバータ回路 IV22 を介して反転され、データ選択回路タイミング信号 $\overline{a_{dy}}$ として選出される。

また、上記バイナリーカウンタの計数出力信号 $\overline{0}, \overline{0}, \overline{1}$ 及び $\overline{1}, \overline{1}, \overline{1}$ の組み合せにより、前述した複数するような複数ビブルモードにおけるメインアンプのタイミング信号 $\overline{a_{m1}}$ が CMOS インバータ回路 IV26 から出力される。

また、上記バイナリーカウンタの直記書き込み時計信号 \overline{WY} とは、 NAND ドア回路 G23 の入力に供給される。この NAND ドア回路 G23 の出力は、 CMOS インバータ回路 IV21 によって反転され、上記ノアゲート G25 の出力とともにノアゲート回路 G24 の入力に供給される。このノアゲート回路 G24 の出力信号は、 CMOS インバータ回路 IV22 を介して反転され、データ選択回路タイミング信号 $\overline{a_{dy}}$ として選出される。

次に、第 6 図に示したタイミング回路を参照して、動作の読み出し動作の一例を説明する。

ロウアドレஸストローپ信号 \overline{RAS} が第 5 図 A に示されたようにロクレベルにされると、それに

応じてタイミング信号 $\overline{a_{cc}}$ (図示しない) がハイレベルにされる。ロウアドレஸバッファ A-B は、タイミング信号 $\overline{a_{cc}}$ がハイレベルにされると、それに応じて、外部端子から供給されるロウアドレஸ信号をやり込む。上記アドレஸ信号のうち、位上位ビットのアドレஸ信号 $\overline{a_{DB}}$ は、前述のように、アドレஸカウンタ COUNT に含まれる 2 ビットのバイナリーアドレஸカウンタ CNT1 に初期値として取り込まれる。ロウアドレஸデコード R-DCR1, R-DCR2 は、アドレஸデコード R-DCR1, R-DCR2 は、上記ロウアドレஸバッファ A-B-ADB に取り込まれたアドレஸ信号のうちのやりのアドレஸ信号 $\overline{a_{x0}} \sim \overline{a_{xn-1}}$ とワード選択回路タイミング信号 $\overline{a_{dy}}$ とに応答してメモリアレイ M-ARY1, M-ARY2 におけるワード数とダミーワード回路選択動作を行う。次に、タイミング信号 $\overline{a_{cc}}$ 及び $\overline{a_{DB}}$ が発生されることによってセシスアンプ SA が動作状態にされ、メモリセルからの読み出されたデータ信号が処理される (図示せず)。セシスアンプの動作タイミングに同期してロウアドレஸバッファの動作タイミングに同期してロウア

タイミング信号 \overline{RAS} はハイレベルに立ち上がる。

なお、上記第 4 図に示した 2 ビットのバイナリーカウンタ CNT3 に供給される信号 \overline{RAS} は、予めのチップ赤外線回路におけるロウアドレஸ信号 \overline{RAS} のハイレベルに応答してハイレベルにされている。従って、カウンタ CNT3 はチップ赤外線回路において、予めリセット状態にされ、その計数出力 $\overline{0}$ と $\overline{1}$ はともにロクレベル (したがって、 $\overline{0}$ と $\overline{1}$ はハイレベル) にされている。

次に、カラムアドレஸストローپ信号 \overline{CAS} がロクレベルにされると、それに応じてタイミング信号 $\overline{a_{cc}}$ (図示しない) がハイレベルにされ、上記外部端子から供給されたカラムアドレஸ信号が、カラムアドレஸバッファ C-ADB に取り込まれる。前述のように、タイミング信号 $\overline{a_{cc}}$ は、アドレஸカウンタ COUNT の初期値設定回路信号とされる。従って、タイミング信号 $\overline{a_{cc}}$ が発生されると、ロウアドレஸバッファ R-ADB から予め出されているアドレஸ信号 $\overline{a_{DB}}$ 及びカラムアドレஸバッファ C-ADB から出力されるア

特開昭61-170994 (15)

アドレス信号 ay0 ~ ayn は、アドレスカウンタ COUNT に初期値として保持される。

マルチプレクサ MPX の動作制御のためのタイミング信号 mpx (図示しない) は、前述のようにカラムアドレスストローブ信号 CAS の最初のロクロレベルへの変化に応答されずに、ロクロレベルに維持される。タイミング信号 mpx がロクロレベルに維持されていることによって、カラムアドレスペルル C-A DB に取り込まれたアドレス信号 ay0 ~ ayn 及びロクアドレスバッファ R-A DB に取り込まれたアドレス信号 syn は、マルチプレクサ MPX を介してカラムアドレスデコーダ C-DCR 及びメインアンプのデコーダ DEC に供給される。

データ船選択タイミング信号 dy 及びメインアンプの動作タイミング信号 ma は、前述の回路 (第5回) によって、同期してハイレベルにされる。

すなわち、カラムアドレスストローブ信号 CAS がロクロレベルにされた後に最初に形成されるタイ

すなわち、チメアドレスバッファ R-A DB 及び C-A DB に取り込まれたアドレス信号 axm と syn がハイレベルなら、メインアンプ MA0 と dy がハイレベルにして最初に選択される。すなわち、タイミング信号 DS (図示せず) は、ロクロレベルタイミング信号 C1 の最初のハイレベル期間 (ロクアドレスストローブ信号 CAS が最初にロクロレベルにされた期間) において、上記ロクアのタイミング信号 BG2 が発生された後にロクロレベルにされる。タイミング信号 DS がロクロレベルにされることにより、第3回のノアゲート回路 G7 の出力がハイレベルにされ、Nチャネル MOSFET Q19, Q23 と CMOS インバータ回路 IV3 により反転されたハイレベルにより P チャネル MOSFET Q16, Q20 が共にオノ状態にされる。これに応じてラッカ回路 FF の出力がデータ出力回路 DOB に入力ライン CD5 及び CD6 に供給され、最初のデータ信号 D0 がタイミング信号 DOE に従って外部端子 Dout へ送出される。

タイミング信号 ma は、上記バイナリーカウンタ CNT3 が上記のようにリセットされているから、上記ロクアのタイミング信号 BG2 のハイレベルに同期してハイレベルにされる。データ船選択タイミング信号 dy は、上記バイナリーカウンタの計数出力 0, 1 がいずれもロクロレベルにされているから、上記第5回に示した回路により、上記最初のタイミング信号 ma に同期して発生させられる。上記タイミング信号 dy により、カラムスイッチ回路 C-SW1 及び C-SW2 が動作され、メモリセルから読み出されたデータ信号が共通相補データ線 CD0 ないし CD3 に与えられる。タイミング信号 ma により 4 個のメインアンプ MA0 ~ MA3 が一齊に動作状態にされる。すなわち共通相補データ線 CD0, CD0 ~ CD3, CD3 に與れたメモリセルからの読み出しデータ信号が増幅される。

メインアンプ MA0 ~ MA3 によって増幅されたデータ信号は次のようにして外部端子 Dout へ転送される。

次に、カラムアドレスストローブ信号 CAS がハイレベルにされると、これに応じて内部信号 C1 が第6回 C に示されたようにロクロレベルに変化される。したがって、第4回に示したバイナリーカウンタ CNT3 に供給される反転の内部信号 C1 はハイレベルとなり。これに応じて Nチャネル MOSFET Q32 がオフ状態にされ、Nチャネル MOSFET Q30 がオン状態にされる。これにより、スレーブ側の出力信号が CMOS インバータ回路 IV14 によって反転されマスク一側に増量される。その結果、計数出力 0 がハイレベルに変化される。このような計数動作による出力 0 の変化によって、上記メインアンプの動作タイミング信号 ma とデータ船選択タイミング信号 dy はロクロレベルにされる。これにより、メインアンプ MA0 ~ MA3 は非動作状態にされ、カラムスイッチ回路 C-SW1 及び C-SW2 はオフ状態にされる。しかしながら、メインアンプ MA0 ~ MA3 に含まれるラッカ回路 FF は、それぞれにおける Pチャネル MOSFET Q14,

Q₁ S 等が上記タイミング信号 dm3 のロクレペルによってオン状態にされるので、上記取り込んだ記憶情報を保持している。

この実施例に従うと、前述のように、ロクアドレスストローブ信号 RAS がロクレペルの状態で、カタムアドレスストローブ信号 CAS がハイレベルになると、ニブルモードとみなして、マルチプレクサ MUX X を自動的にアドレスカウンタ COUNT 側に切り換えるように構成される。マルチプレクサ MUX X の動作開始のためのタイミング信号 mpx1 は、ロクアドレスストローブ信号 RAS のハイレベルによりリセットされ、上記のような条件でセットされるラッテ回路によって形成することができる。なお、このような内部回路回路に代えて、上記マルチプレクサ MUX X の切り換え回路が外部から供給する所定の回路信号により行われるようにされてもよい。

アドレスカウンタ CNT1 は、内部信号 C1 がロクレペルにされると、それに応じてその内容が歩進される。すなわち、アドレス信号 cyn と cxa に従って出力

インアンプの動作タイミング信号 dm3 が存び発生され、上記既に切り換えたデータ線からの読み出しデータ信号の初期動作及びラッテ回路 FE の取り込み及び出力回路の切り換え動作が行われる。カタムアドレスストローブ信号 CAS が存びロクレペル（期間 4）にされると、それに応じて複数の出力回路回路の 1 つが動作状態にされ、5 ビット目のデータ信号 D4 が外部端子 Dout に输出される。以下同様にして第 6 ビット目から第 8 ビット目のデータ信号 D6 ~ D7 を得ることができる。この場合、上記第 5 ビットの目の読み出しデータ信号 D5 は、カタム回路動作が既に行われていることにより、早にメインアンプの初期動作に要する時間しか経れないから、極めて高速に出力させることができる。

以下同様にして、カタムアドレスストローブ信号 CAS に同期して、逐次的にデータの高速読み出しを行なうことができる。

なお、ロクアドレスストローブ信号 RAS をハイレベルにすることによって、全ての回路がリセ

特開昭61-170994 (16)

回路回路が閉鎖され、上記ラッテ回路 FE に保持された 4 ビットのデータ信号 D0 ~ D3 が逐次的に読み出される。このような回路は、実質的に既存のニブルモードと同様である。

バイナリーカウンタの計数出力 0 と 1 が共にハイレベルにされる第 6 ビット目のデータ信号 D3 を出力させるときに、アドレス信号 cyn0 ~ cyn-1 を形成するアドレスカウンタ CNT2 は、前述のように、カウンタ CNT3 の出力 0 と 1 の同時のハイレベル応答して 1 だけ歩進される。それとともに、データ回路回路タイミング信号 dm4 は、第 6 回路 FE に示されたように存びハイレベルにされる。これに応じてカタムアドレスデコード C-DCR がタイミング信号 dm4 に同期して次のカタムアドレス y_{i+1} の回路信号を形成するので、カタムスイッチの切り換えが行われる。

次に、第 6 回路 FE に示された期回 3 の終にカタムアドレスストローブ信号 CAS が存びハイレベルに空化されると、バイナリーカウンタ CNT3 の計数出力が存び初期値にされる。これに応じてメ

ットされる。したがって、1 ビットの単位でデータの読み出しを行な場合、1 ビットのデータ信号を読み出した後、ロクアドレスストローブ信号 RAS とカタムアドレスストローブ信号 CAS がハイレベルにされればよい。

図 7 図には、書き込み回路の一例のタイミング図が示されている。

書き込み回路においては、ライトイネーブル信号 WE のロクレペルによって、内部端子信号 WYP がハイレベルにされる。したがって、書き込み回路の時には、データ回路回路タイミング信号 dm4 が発生され、メインアンプの動作タイミング信号 dm3 は、発生されない。これにより、第 3 図に示したデータ入力回路 DIB の入力にカタムアドレスストローブ信号 CAS に同期させて時系列的に供給された書き込みデータは、それと同期して上記読み出し動作の場合と同様に形成されたアドレスカウンタの出力によって切り換えられる伝送ゲート MOSFET Q1, Q2 を介して各共通相対データ回路に伝えられることによって、逐次的な

特開昭61-170994 (17)

書き込み動作を行うことができる。この場合には、4ビット毎にカラムアドレスの切り換えを行うものであるが、書き込み動作にあっては、ブルスイシング(5Vと0V)の書き込み信号を共通相補データ線、カラムスイッチMOSFET及びデータ線を通してメモリセルに伝えるものであるので、強めて高速に書き込みを行うことができる。したがって、カラム切り換え動作を予め行うことなく、上記のような連続的な書き込み動作を読み出し動作と同じ動作サイクルで行うことができる。

なお、第7図に示したタイミング図においては、ロク系のタイミング信号RAS等は前記第6図と同様であるので、省略されている。

【効果】

(1) パラレルに読み出した信号をラッチ回路に保持させておいて、それをアドレスストローブ信号に同期させてシリアルに送出させると、保持信号の全ビットをシリアルに出力させる前に内部に組み合ったカウンタ回路により形成したタイミング信号で読み出されたカラムアドレス信号の選択動作と、データによりカラムアドレス信号の選択動作と、データ

アレイに分離するものの他、4分割して各マップ毎に前記のような書き込み/読み出し動作を実現する入出力回路を設けるものであってもよい。また、上記複数ビットは、4ビットの他も対の共通相補データ線に対して8対の入出力回路を設けて、8ビット分のデータを連続的に書き込み又は読み出さようとするもの等であってもよい。

更に、カラムデコーダに供給するアドレス信号は全て外部端子から供給するものであってもよい。例えば、第5図に示したタイミング図において、4ビット目のデータ読み出しのためのカラムアドレスストローブ信号CAS(3)に同期して、外部から次に選択すべきデータ線を示すアドレス信号を供給するものであってもよい。この場合には、任意のアドレス指定によって連続的な二ルモードを行わせることができる。

また、各回路の具体的回路は種々の実施形態を取ることができるものである。

【利用分野】

この発明は、ダイナミック型RAMに広く利用

タ線の選択動作の切り換えを行うことによって、高速に連続的な二ルモード動作を実現できるという効果が得られる。

(2) 上記連続的な読み出し動作は、内部のカウンタによってタイミング信号及びアドレス信号を形成するものであるので、外部からは初期アドレス信号とクロックとしてのカラムアドレスストローク信号を供給するのみで良いから、極めて簡便に高速の連続読み出しを行うことができるという効果が得られる。

(3) 上記(1)、(2)により、1つのワード毎に設けられたメモリセルの全ての読み出し動作を簡単に、かつ高速に行うことができるから、画像処理用画像データの記憶装置に適したダイナミックRAMを得ることができるという効果が得られる。

以上本発明によつてなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、メモリアレイは、上記2つのメモ

できるものである。

図面の簡単な説明

第1図は、この発明の一実施例を示す内部構成ブロック図。

第2図は、センスアンプ、プリチャージ回路、メモリアレイ及びカラムスイッチ回路の具体的回路図。

第3図は、メインアンプ及び入出力回路の具体的な回路図。

第4図は、カウンタの回路図。

第5図は、タイミング発生回路の一部の回路の回路図。

第6図及び第7図は、第1図の実施例の動作を説明するためのタイミング図である。

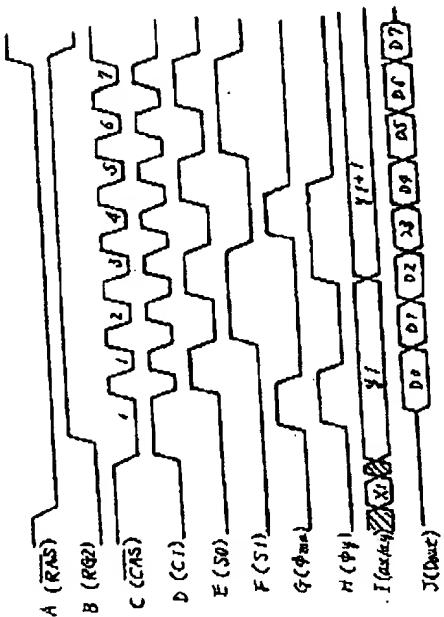
M-ARY1, M-ARY2…メモリアレイ、SA1, SA2…センスアンプ、R-ADB…ローカルアドレスバッファ、C-SW1, C-SW2…カラムスイッチ、C-ADB…カラムアドレスバッファ、R-DCR1, R-DCR2…ロクデータ、C-DCR…カラムデコーダ、DEC…デ

特開昭 61-170994 (18)

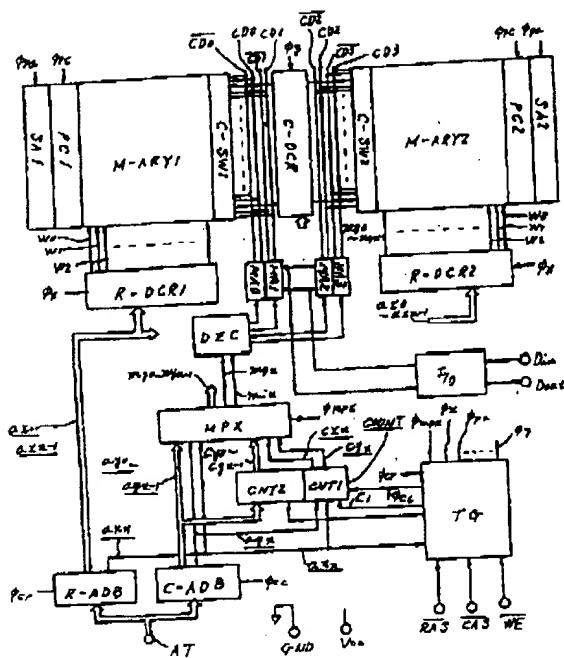
コード、COUNT…アドレスカウンタ、MA0
～MA3…メインアンプ、TG…タイミング発生
回路、I/O…入出力回路、FF…ラッチ回路、
DOB…データ出力回路、DIB…データ入力回
路。

代理人 井理士 小川勝男

第 6 図

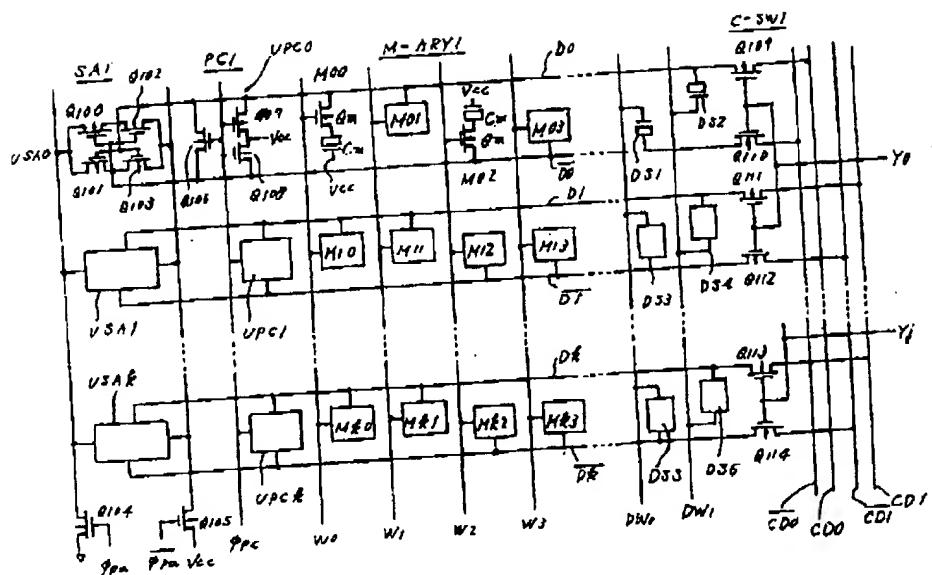


第 1 図

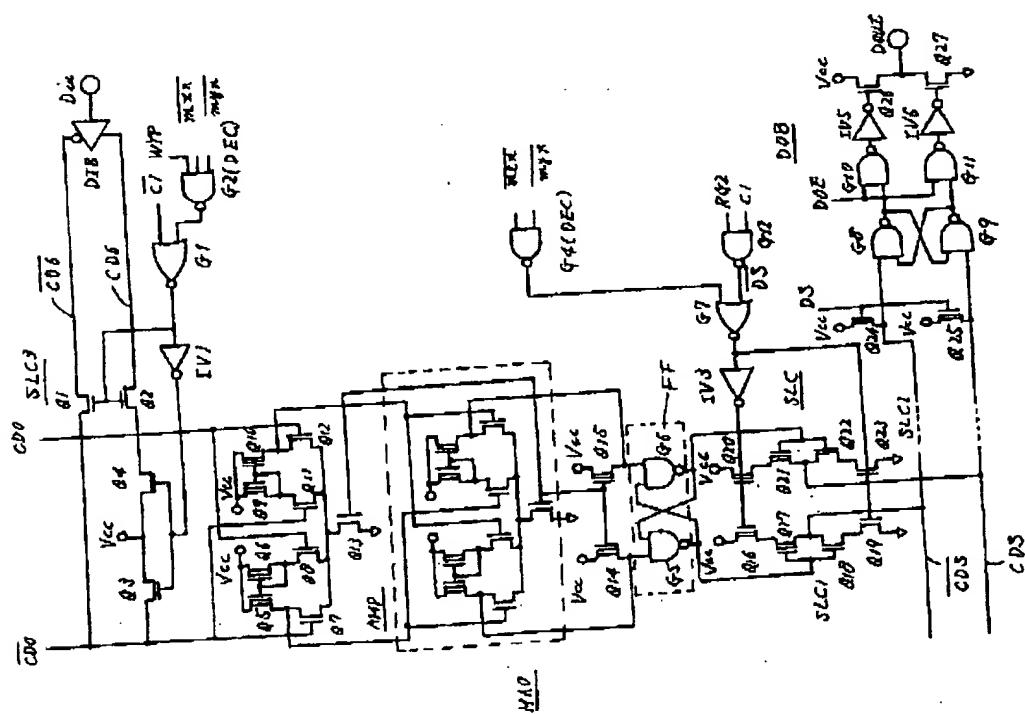


特許昭61-170994(19)

2 図

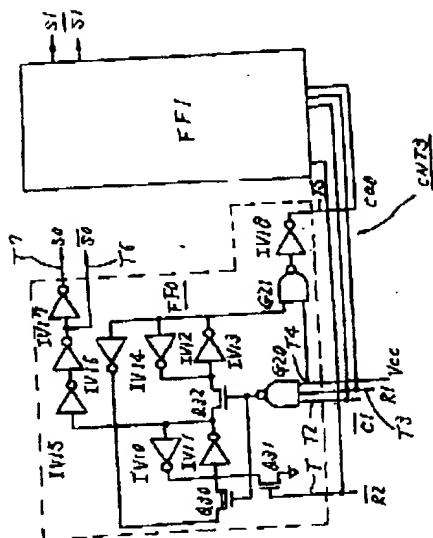


四
3
第



特開昭61-170994 (20)

第4図



This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.